

02.7.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

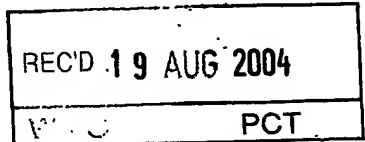
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 9 2 3 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 9 2 3 8 5]

出 願 人 東 芝 松 下 デ ィ ス プ レ イ テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):

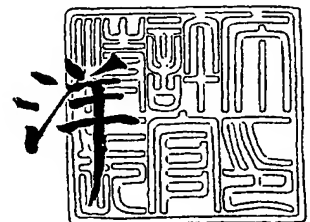


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a), OR (b)

2 0 0 4 年 8 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願

【整理番号】 MRB031006

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 久保田 真啓

【発明者】

【住所又は居所】 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 峯 秀樹

【特許出願人】

【識別番号】 302020207

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206870

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号処理回路、及び映像信号処理回路の制御方法

【特許請求の範囲】

【請求項 1】 表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備え、

前記ラッチ回路に記憶されている前記走査線分の各画素に対応する画素データは、前記表示画面に表示され、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段は、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する映像信号処理回路。

【請求項 2】 前記制御手段は、競合が発生した、前記GRAMの前記画素データの書き込みに対応する前記メモリクロック信号が供給された時点より後の期間であって、そのメモリクロック信号の次のメモリクロック信号が供給されるより前の前記期間の間に、前記ラッチ回路が前記走査線分の各画素に対応する画素データを読み出すよう前記遅延時間を調整する機能を有する請求項 1 記載の映像信号処理回路。

【請求項 3】 表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備えた映像信号処理回路を制御する映像信号処理回路の制御方法であって、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段が、前記走査線分の各画素に対応する画素データの読み出しを遅延させるよう制御するステップを備えた映像信号処理回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示画面に表示される映像信号を処理する映像信号処理回路、及び映像信号処理回路を制御する映像信号処理回路の制御方法に関するものである。

【0002】

【従来の技術】

携帯電話端末等に用いられる液晶表示装置には、映像信号を表示するために、映像信号をデジタル信号処理する映像処理回路が用いられている（例えば特許文献1参照）。図4に携帯電話端末に用いられる従来の映像処理回路13を示す。

【0003】

映像処理回路13は、ラッチ回路3とGRAM（graphics Random access memory）2とから構成される。GRAM2は、表示パネル8に表示される1画面分の画素データを記憶する読み書き可能なメモリであり、入力されるメモリクロック信号12に同期して表示パネル8を構成する1画素に対応する画素データが書き込まれるメモリである。

【0004】

ラッチ回路3は、表示パネル8に表示される1走査線分の画素データをGRAM2から読み出して記憶する回路である。

【0005】

次に、このような従来の映像処理回路13の動作を説明する。

【0006】

ラッチ回路3には、データラッチ信号10が入力される。また、GRAM2には表示リード制御信号9、メモリクロック信号12が入力される。

【0007】

図5に、映像処理回路13のこれらの各種駆動信号及び制御信号のタイミングチャートを示す。

【0008】

図5のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号51として示し、図4のデータラッチ信号10をデータラッチ信号52として示し、図4のメモリクロック信号12をメモリクロック信号53として示す。また、図5で、表示データ54、及び表示データ55は、それぞれラッチ回路3に記憶されている画素データのいずれかのビットがとる値であり、表示データ54はH状態からL状態に設定されるビットであり、表示データ55は、L状態からH状態に設定されるビットである。

【0009】

表示リード制御信号51は、ディスチャージ期間を示すH (High) 状態とメモリデータ更新期間を示すL (Low) 状態をとり得る制御信号である。GRAM2に入力される表示リード制御信号51がH状態であるとき、すなわち、ディスチャージ期間であるとき、ラッチ回路3は、記憶している画素データを消去する。つまり、表示リード制御信号51がH状態である場合に、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットを全てL状態に設定する。また、GRAM2に入力される表示リード制御信号51がL状態であるとき、すなわち、メモリデータ更新期間であるとき、ラッチ回路3は、GRAM2から1走査線分の画素データを読み込み、記憶する。

【0010】

ただし、ラッチ回路3を構成するメモリ素子の各ビットは、メモリデータ更新期間の間に、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、そのメモリデータ更新期間の間はH状態を維持し続ける。ラッチ回路3を構成するメモリ素子の各ビットは、表示リード制御信号51がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。ラッチ回路3はこのような特性を有している。

【0011】

また、ラッチ回路 3 にデータラッチ信号 5 2 が入力されると、そのデータラッチ信号 5 2 のたち下がりでラッチ回路 3 は、ラッチ回路 3 を構成する各メモリ素子の各ビットの値を確定する。

【0 0 1 2】

また、メモリクロック信号 5 3 が G R A M 2 に入力され。メモリクロック信号 5 3 のたち下がりのタイミングで、G R A M 2 に画素データが書き込まれる。このように G R A M 2 への画素データの書き込みは、メモリクロック信号 5 3 に同期して行われる。

【0 0 1 3】

そして、G R A M 2 への画素データの書き込みと、G R A M 2 から 1 走査線分の画素データのラッチ回路 3 への読み出しとは独立した動作として行われる。

【0 0 1 4】

以上の動作をまとめて説明すると次のようになる。

【0 0 1 5】

すなわち、表示リード制御信号 5 1 が H 状態の間に、ラッチ回路 3 を構成する各メモリ素子の各ビットは L 状態に設定される。そして、表示リード制御信号 5 1 が H 状態、すなわち、ディスチャージの期間の間にメモリクロック信号が G R A M 2 に入力されると、メモリクロック信号のたち下がりのタイミングで G R A M 2 に画素データが書き込まれる。

【0 0 1 6】

表示リード制御信号 5 1 が H 状態から L 状態になると、すなわち表示リード制御信号 5 1 がメモリデータ更新期間になると、ラッチ回路 3 は、ラッチ回路 3 を構成する各メモリ素子に G R A M 2 に記憶されている 1 走査線分の画素データを読み出して記憶する。

【0 0 1 7】

そして、データラッチ信号 5 2 がラッチ回路 3 に入力されると、データラッチ信号 5 2 のたち下がり、ラッチ回路 3 は、メモリ素子に読み込んで記憶した 1 走査線分の画素データを確定する。

【0 0 1 8】

例えば表示データ 54 などのようにGRAM2に記憶されている画素データのビットがH状態からL状態に更新された場合、ラッチ回路3は、データラッチ信号52のたち下がりでラッチ回路3の対応するメモリ素子をL状態に設定する。

【0019】

一方、表示データ55などのようにGRAM2に記憶されている画素データのビットがL状態からH状態に更新された場合、ラッチ回路3は、データラッチ信号52のたち下がりでラッチ回路3の対応するメモリ素子をH状態に設定する。

【0020】

【特許文献1】

特開2000-330520号公報

【0021】

【発明が解決しようとする課題】

図6に映像処理回路13の各種駆動信号及び制御信号の図5とは別のタイミングチャートを示す。

【0022】

図6のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号56として示し、図4のデータラッチ信号10をデータラッチ信号57として示し、図4のメモリクロック信号12をメモリクロック信号58として示す。また、図6で、表示データ59、及び表示データ60は、それぞれGRAM2に記憶されている画素データのビットのとり値であり、表示データ59はH状態からL状態に設定されるビットであり、表示データ60は、L状態からH状態に設定されるビットである。

【0023】

従来の技術の図5で説明したタイミングチャートと、図6のタイミングチャートとの相違点は、図6のタイミングチャートでは、メモリクロック信号58が、表示リード制御信号56がL状態すなわちメモリデータ更新期間に入力されている点である。

【0024】

また、メモリクロック信号58が入力され、メモリクロック信号58のたち下

がりの時点でGRAM2に書き込まれる画素データに対応する画素は、データラッチ信号57が入力され、データラッチ信号57のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路3によって読み出される。

【0025】

図8に、このような状況を示す。ラッチ回路3は、データラッチ信号57に同期して、GRAM2のメモリ素子72に記憶されている画素データを読み出してラッチ回路3が有するメモリ素子75に読み出した画素データを記憶する。一方GRAM2のメモリ素子71のうち、メモリ素子73の部分には、メモリクロック信号58に同期して画素データが書き込まれる。従ってメモリ素子73の部分は、メモリクロック信号58に同期して画素データが書き込まれるとともに、データラッチ信号57のたち下がりのタイミングで画素データが読み出されることになり、競合が発生する。

【0026】

このような場合、まず、表示リード制御信号56がH状態すなわちディスプレイ期間で、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

【0027】

そして、表示リード制御信号56がL状態のときすなわちメモリデータ更新期間に、データラッチ回路3は、GRAM2に記憶されている画素データを読み出して記憶する。

【0028】

表示リード制御信号56がメモリデータ更新期間に、メモリクロック信号58が入力され、メモリクロック信号58のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ59は、メモリクロック信号59が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号58が入力されたタイミングで表示データ59としてGRAM2にL状態が書き込まれたとする。

【0029】

このような場合、ラッチ回路3はメモリクロック信号58が入力される前にメモリデータ更新期間で、すでに、表示データ59のビットを読み出して記憶している。そして、メモリクロック信号58が入力され、メモリクロック信号58のたち下がりのタイミングでGRAM2に表示データ59のビットが書き込まれる。表示データ59としてL状態が書き込まれたとする。

【0030】

ところが、従来の技術で説明したように、ラッチ回路3を構成するメモリ素子の各ビットは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。ラッチ回路3を構成するメモリ素子の各ビットは、表示リード制御信号56がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。ラッチ回路3はこのような特性を有している。

【0031】

従って、ラッチ回路3の、表示データ59に対応するメモリ素子は一旦H状態に設定されているので、メモリデータ更新期間ではH状態のまま維持される。

【0032】

表示データ60に関しては、メモリクロック信号58が入力される以前はL状態に設定されており、メモリクロック信号58が入力され、そのたち下がりでGRAM2に書き込まれた画素データに対応してH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、ラッチ回路3は、表示データ60に対応するメモリ素子のビットをH状態に設定する。

【0033】

次に、データラッチ信号57がラッチ回路3に入力されると、データラッチ信号57のたち下がり、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットを確定する。

【0034】

ラッチ回路3がデータラッチ信号57によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ59については、GRAM2の画素デ

ータの表示データ 59 に対応するビットが L 状態になっているにもかかわらず、ラッチ回路 3 の表示データ 59 に対応するメモリ素子のビットは H 状態のまま確定されている。

【0035】

従って、表示リード制御信号 56 が L 状態すなわちメモリデータ更新期間の間にメモリクロック信号 58 が入力され、しかも、このメモリクロック信号 58 が入力され、メモリクロック信号 58 のたち下がりの時点で GRAM2 に書き込まれる画素データに対応する画素が、データラッチ信号 57 が入力され、データラッチ信号 57 のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生する。

【0036】

すなわち、GRAM2 への画素データの書き込みと、GRAM2 からラッチ回路 3 への水平走査線分の画素データの読み出しとが競合した場合、表示異常が発生する。

【0037】

なお、上記では、ラッチ回路 3 は次の特性を有するとして説明した。すなわち、ラッチ回路 3 を構成するメモリ素子の各ビットは、メモリデータ更新期間の間、一旦 H 状態に設定されると、GRAM2 に記憶されている画素データの値がどのような値であっても、H 状態を維持し続ける。ラッチ回路 3 を構成するメモリ素子の各ビットは、表示リード制御信号 51 が H 状態、すなわちディスチャージ期間になって初めて L 状態に戻すことが出来る。

【0038】

しかしながら、ラッチ回路 3 が、メモリデータ更新期間の間、一旦 H 状態に設定されても、GRAM2 に記憶されている画素データの値が L 状態に設定された場合には、L 状態に再設定出来るという特性を有する場合であっても上記と同様の問題が起こり得る。

【0039】

すなわち、図 7 に映像処理回路 13 の各種駆動信号及び制御信号の図 6 とは別のタイミングチャートを示す。また、ラッチ回路 3 は、メモリデータ更新期間の

間、一旦H状態に設定されても、GRAM2に記憶されている画素データの値がL状態に設定された場合には、L状態に再び再設定出来るという特性を有する。

【0040】

図7のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号61として示し、図4のデータラッチ信号10をデータラッチ信号62として示し、図4のメモリクロック信号12をメモリクロック信号63として示す。また、図7で、表示データ64、及び表示データ65は、それぞれGRAM2に記憶されている画素データのビットのとり値であり、表示データ64はH状態からL状態に設定されるビットであり、表示データ65は、L状態からH状態に設定されるビットである。

【0041】

このような場合、表示リード制御信号61がH状態すなわち、ディスチャージ期間にラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

【0042】

表示リード制御信号がL状態すなわち、メモリデータ更新期間に、ラッチ回路3は、GRAM2から1走査線分の画素データを読み出して記憶する。

【0043】

ところが、図7から明らかなように、メモリデータ更新期間にデータラッチ信号62とメモリクロック信号63とが同時に入力されている。すなわち、GRAM2への画素データの書き込みと、その画素データを含む1走査線分の画素データのラッチ回路3への読み出しとが同時に発生している。

【0044】

このような場合、表示データ64、及び表示データ65としてデータラッチ回路3に読み出されたデータはどのような値になるか不明であり、従って表示異常が発生する。

【0045】

このように、上記いずれの場合であっても、GRAM2への画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出し

とが競合した場合、表示異常が発生するという課題がある。

【0046】

本発明は、上記課題を考慮し、GRAM2への画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出しとが競合した場合であっても表示異常が発生することがない映像処理回路、及び映像処理回路の制御方法を提供することを目的とするものである。

【0047】

【課題を解決するための手段】

上述した課題を解決するために、第1の本発明は、表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備え、

前記ラッチ回路に記憶されている前記走査線分の各画素に対応する画素データは、前記表示画面に表示され、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段は、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する映像信号処理回路である。

【0048】

また、第2の本発明は、前記制御手段は、競合が発生した、前記GRAMの前記画素データの書き込みに対応する前記メモリクロック信号が供給された時点より後の期間であって、そのメモリクロック信号の次のメモリクロック信号が供給されるより前の前記期間の間に、前記ラッチ回路が前記走査線分の各画素に対応する画素データを読み出すよう前記遅延時間を調整する機能を有する第1の本発明の映像信号処理回路である。

【0049】

また、第3の本発明は、表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備えた映像信号処理回路を制御する映像信号処理回路の制御方法であって、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段が、前記走査線分の各画素に対応する画素データの読み出しを遅延させるよう制御するステップを備えた映像信号処理回路の制御方法である。

【0050】

【発明の実施の形態】

以下に、本発明の実施の形態を図面を参照しながら説明する。

【0051】

(第1の実施の形態)

図1に、第1の実施の形態の映像処理回路1を示す。第1の実施の形態の映像処理回路1は携帯電話等に用いられるものである。

【0052】

映像処理回路1は、ラッチ回路3とGRAM (graphics Random access memory) 2と、制御手段4とから構成される。GRAM2は、表示パネル8に表示される1画面分の画素データを記憶する読み書き可能なメモリであり、入力されるメモリクロック信号12に同期して表示パネル8を構成する1画素に対応する画素データが書き込まれるメモリである。

【0053】

ラッチ回路3は、表示パネル8に表示される1走査線分の画素データをGRAM2から読み出して記憶する回路である。

【0054】

制御手段4は、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しとが競合した場合、再度ラッチ回路3がGRAM2から1走査線分の画素データを読み出すよう制御する制御信号を発生して、ラッチ回路3へ出力する回路である。

【0055】

制御手段4は、遅延回路7、OR回路5、及びOR回路6から構成される。

【0056】

遅延回路7は、入力されてくるメモリクロック信号12を遅延させて、GRAMデータの再読み込み用（ホストリトライ用という）のデータラッチ信号10aと、ホストリトライ用の表示リード制御信号9aとを発生させる回路である。

【0057】

OR回路5は、データラッチ信号10と遅延回路7で発生されたホストリトライ用のデータラッチ信号10aとのORをとった信号をデータラッチ信号10bとして出力する回路である。

【0058】

OR回路6は、表示データリード制御信号9とホストリトライ遅延回路7で発生されたホストリトライ用の表示リード制御信号9aとのORをとった信号を表示リード制御信号9bとして出力する回路である。

【0059】

次に、このような本実施の形態の映像処理回路1の動作を説明する。

【0060】

制御手段4には、表示リード制御信号9、データラッチ信号10、及びメモリクロック信号12が入力される。また、GRAM2にはメモリクロック信号12が入力される。

【0061】

図2に、映像処理回路1のこれらの各種駆動信号及び制御信号のタイミングチャートを示す。

【0062】

図2のタイミングチャートでは、図1の表示リード制御信号9を通常表示リー

ド制御信号 14 として示し、図 1 のデータラッチ信号 10 を通常時データラッチ信号 15 として示し、図 1 のメモリクロック信号 12 をメモリクロック信号 16 として示し、競合発生時に遅延回路 7 から発生されたホストリトライ用の表示リード制御信号 9a を、ホストリトライ用表示リード信号 17 として示し、競合発生時に遅延回路 7 から発生されたホストリトライ用のデータラッチ信号 10a を、ホストリトライ用データラッチ信号 18 として示す。また、図 2 では、OR 回路 6 から出力された表示リード制御信号 9b を、競合発生時表示リード制御信号 19 として示し、OR 回路 5 から出力されたデータラッチ信号 10b を競合発生時データラッチ信号 20 として示す。

【0063】

すなわち、OR 回路 6 は、表示リード制御信号 9 と遅延回路 7 から出力されたホストリトライ用の表示リード制御信号 9a との OR をとった信号を競合発生時表示リード制御信号 19 として出力する。また、OR 回路 5 は、データラッチ信号 10 と遅延回路 7 から出力されたホストリトライ用のデータラッチ信号 10a との OR をとった信号を競合発生時データラッチ信号 20 として出力する。

【0064】

また、図 2 で、表示データ 21、及び表示データ 22 は、それぞれラッチ回路 3 に記憶されている画素データのビットのとっている値であり、表示データ 21 は H 状態から L 状態に設定されるビットであり、表示データ 22 は、L 状態から H 状態に設定されるビットである。

【0065】

表示リード制御信号 9b は、ディスチャージ期間を示す H (High) 状態とメモリデータ更新期間を示す L (Low) 状態とをとり得る制御信号であり、GRAM2 に入力される表示リード制御信号 9b が H 状態であるとき、すなわち、ディスチャージ期間であるとき、ラッチ回路 3 は、記憶している画素データを消去する。つまり、表示リード制御信号 9b が H 状態である場合に、ラッチ回路 3 は、ラッチ回路 3 を構成するメモリ素子の各ビットを全て L 状態に設定する。また、GRAM2 に入力される表示リード制御信号 9b が L 状態であるとき、すなわち、メモリデータ更新期間であるとき、ラッチ回路 3 は、GRAM2 から 1 走

査線分の画素データを読み込み、記憶する。

【0066】

ただし、ラッチ回路3を構成するメモリ素子の各ビットは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。ラッチ回路3を構成するメモリ素子の各ビットは、表示リード制御信号9bがH状態、すなわちディスプレイチャージ期間になって初めてL状態に戻すことが出来る。ラッチ回路3はこのような特性を有している。

【0067】

また、ラッチ回路3にデータラッチ信号10bが入力されると、そのデータラッチ信号10bのたち下がりでラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットの値を確定する。

【0068】

また、メモリクロック信号12がGRAM2に入力され。メモリクロック信号12のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。このようにGRAM2への画素データの書き込みは、メモリクロック信号12に同期して行われる。

【0069】

そして、GRAM2への画素データの書き込みと、GRAM2から1走査線分の画素データのラッチ回路3への読み出しとは独立した動作として行われる。

【0070】

以上の動作をまとめて説明すると次のようになる。

【0071】

図1のタイミングチャートでは、メモリクロック信号16が、通常時表示リード制御信号14がL状態すなわちメモリデータ更新期間に入力されている。

【0072】

また、メモリクロック信号16が入力され、メモリクロック信号16のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素は、通常時データラッチ信号15が入力され、通常時データラッチ信号15のたち下がりの時

点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路3によって読み出される。

【0073】

このような場合、まず、通常時表示リード制御信号14がH状態すなわち競合発生時表示リード制御信号19がH状態の場合、つまりディスチャージ期間で、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

【0074】

そして、通常時表示リード制御信号14がL状態のときすなわち競合発生時表示リード制御信号19がL状態のとき、つまり、メモリデータ更新期間に、データラッチ回路3は、通常時データラッチ信号15及び競合発生時データラッチ信号20に示すように、GRAM2に記憶されている画素データを読み出して記憶する。

【0075】

競合発生時表示リード制御信号19がL状態のとき、すなわちメモリデータ更新期間に、メモリクロック信号16が入力され、メモリクロック信号16のたち下りのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ21は、メモリクロック信号16が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号16が入力されたタイミングで表示データ21としてGRAM2にL状態が書き込まれたとする。

【0076】

このような場合、ラッチ回路3はメモリクロック信号58が入力される前のメモリデータ更新期間で、すでに、表示データ21のビットを読み出して記憶している。そして、メモリクロック信号16が入力され、メモリクロック信号16のたち下りのタイミングでGRAM2に表示データ21のビットが書き込まれる。表示データ21としてL状態が書き込まれたとする。

【0077】

ところが、従来の技術で説明したように、ラッチ回路3を構成するメモリ素子

の各ビットは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。ラッチ回路3を構成するメモリ素子の各ビットは、競合発生時表示リード制御信号19がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。ラッチ回路3はこのような特性を有している。

【0078】

従って、ラッチ回路3の、表示データ21に対応するメモリ素子は一旦H状態に設定されているので、メモリデータ更新期間ではH状態のまま維持される。

【0079】

表示データ22に関しては、メモリクロック信号16が入力される以前はL状態に設定されており、メモリクロック信号16が入力され、そのたち下がりでGRAM2に書き込まれた画素データに対応してH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、ラッチ回路3は、表示データ22に対応するメモリ素子のビットをH状態に設定する。

【0080】

次に、競合発生時データラッチ信号20がラッチ回路3に入力されると、競合発生時データラッチ信号20のたち下がり、ラッチ回路3は、ラッチ回路3を構成するメモリ素子が記憶している各ビットを確定する。

【0081】

ラッチ回路3が競合発生時データラッチ信号20によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ21については、GRAM2の画素データの表示データ21に対応するビットがL状態になっているにもかかわらず、ラッチ回路3の表示データ59に対応するメモリ素子のビットはH状態のまま確定されている。

【0082】

従って、競合発生時表示リード制御信号19がL状態すなわちメモリデータ更新期間の間にメモリクロック信号16が入力され、しかも、このメモリクロック信号16が入力され、メモリクロック信号16のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素が、競合発生時データラッチ信号20

が入力され、競合発生時データラッチ信号20の立ち下りの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生することになる。

【0083】

そこで、このような場合が発生した場合には、ラッチ回路制御手段4の遅延回路7は、メモリクロック信号16を入力し、メモリクロック信号16を所定の時間だけ遅延させることにより、ホストリトライ用表示リード信号17とホストリトライ用データラッチ信号18とを発生して、それぞれ、OR回路6とOR回路5とに出力する。

【0084】

OR回路5は、通常表示リード制御信号14とホストリトライ用表示リード信号17とのORをとった信号を競合発生時表示リード制御信号19としてラッチ回路3に出力する。

【0085】

また、OR回路6は、通常時データラッチ信号15とホストリトライ用データラッチ信号18とのORをとった信号を競合発生時データラッチ信号20としてラッチ回路3に出力する。

【0086】

その結果、競合発生時表示リード制御信号19はL状態になった後、再度H状態に設定される。従って、競合発生時表示リード制御信号19に従って、ラッチ回路3は、再度、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

【0087】

その後、競合発生時表示リード制御信号19はH状態の後に再度L状態に設定される。競合発生時表示リード制御信号19が再度L状態に設定されると、ラッチ回路3はGRAM2に記憶されている画素データを1走査線分読み出して記憶する。

【0088】

競合発生時表示リード制御信号19が再度L状態に設定されているときに、競

合発生時データラッチ信号 20 が入力される。ラッチ回路 3 は競合発生時データラッチ信号 20 のたち下がりのタイミングで、記憶している 1 走査線分の画素データを確定する。

【0089】

このように、GRAM2 への画素データの書き込みと、GRAM2 からラッチ回路 3 への 1 走査線分の画素データの読み出しとが競合した場合に、制御手段 4 は、競合発生時表示リード制御信号 19 と競合発生時データラッチ信号 20 とに示すように、ディスチャージ期間とメモリデータ更新期間、及びデータ確定のタイミングを競合が発生したメモリクロック信号 16 より所定の時間遅延させる。従って、GRAM2 への画素データの書き込みと、GRAM2 からラッチ回路 3 への画素データの読み出しとが競合した場合であっても、GRAM2 からラッチ回路 3 へ 1 走査線分の画素データを正常に読み出すことが出来るようになる。

【0090】

(第 2 の実施の形態)

次に、第 2 の実施の形態について説明する。

【0091】

図 1 に、第 2 の実施の形態の映像処理回路 1 を示す。第 2 の実施の形態の映像処理回路 1 は、第 1 の実施の形態と同様に携帯電話端末などに用いられるものである。

【0092】

第 2 の実施の形態の映像処理回路 1 の構成は、第 1 の実施の形態のものと同様であるので説明を省略する。

【0093】

次に、このような本実施の形態の映像処理回路 1 の動作を第 1 の実施の形態との相違点を中心に説明する。

【0094】

第 1 の実施の形態では、GRAM2 への画素データの書き込みと、GRAM2 からラッチ回路 3 への 1 走査線分の画素データの読み出しが競合した場合、メモリデータ更新期間、ディスチャージ期間、及びデータを確定するタイミングを所

定の時間だけ遅延させた。

【0095】

しかしながら、単にメモリデータ更新期間、ディスチャージ期間、ラッチ回路3のデータを確定するタイミングを所定の時間遅延させただけでは、競合が発生したメモリクロック信号の次のメモリクロック信号と、遅延されたメモリデータ更新期間、及びラッチ回路3のデータを確定するタイミングとが再度競合する可能性がある。

【0096】

このような場合を回避するために、本実施の形態では、遅延させたメモリデータ更新期間、遅延されたディスチャージ期間、及び遅延されたデータを確定するタイミングが、競合が発生したメモリクロック信号と、競合が発生したメモリクロック信号の次のメモリクロック信号との間に入るようにする。

【0097】

図3に、映像処理回路1の各種駆動信号及び制御信号のタイミングチャートを示す。

【0098】

図3のタイミングチャートでは、図1の表示リード制御信号9を通常表示リード制御信号23として示し、図1のデータラッチ信号10を通常時データラッチ信号24として示し、図1のメモリクロック信号12をメモリクロック信号25として示し、競合発生時に遅延回路7から発生されたホストリトライ用の表示リード制御信号9aを、ホストリトライ用表示リード信号26として示し、競合発生時に遅延回路7から発生されたホストリトライ用のデータラッチ信号10aを、ホストリトライ用データラッチ信号27として示す。また、図3では、OR回路6から出力された表示リード制御信号9bを、競合発生時表示リード制御信号28として示し、OR回路5から出力されたデータラッチ信号10bを競合発生時データラッチ信号29として示している。

【0099】

すなわち、OR回路6は、表示リード制御信号9と遅延回路7から出力されたホストリトライ用の表示リード制御信号9aとのORをとった信号を競合発生時

表示リード制御信号 28 として出力する。また、OR 回路 5 は、データラッチ信号 10 と遅延回路 7 から出力されたホストリトライ用のデータラッチ信号 10a との OR をとった信号を競合発生時データラッチ信号 29 として出力する。

【0100】

また、図 3 で、表示データ 30、及び表示データ 31 は、それぞれラッチ回路 3 に記憶されている画素データのビットのとっている値であり、表示データ 30 は H 状態から L 状態に設定されるビットであり、表示データ 31 は、L 状態から H 状態に設定されるビットである。

【0101】

図 3 のタイミングチャートでは、メモリクロック信号 25 が、通常時表示リード制御信号 23 が L 状態すなわちメモリデータ更新期間に入力されている。

【0102】

また、メモリクロック信号 25 が入力され、メモリクロック信号 25 のたち下がりの時点で GRAM2 に書き込まれる画素データに対応する画素は、通常時データラッチ信号 24 が入力され、通常時データラッチ信号 24 のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2 に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路 3 によって読み出される。

【0103】

このような場合には、第 2 の実施の形態と同様に GRAM2 への書き込みと、GRAM2 からラッチ回路 3 への読み出しとが競合する。

【0104】

このような場合、まず、通常時表示リード制御信号 23 が H 状態すなわち競合発生時表示リード制御信号 28 が H 状態の場合、つまりディスチャージ期間で、ラッチ回路 3 は、ラッチ回路 3 を構成するメモリ素子の各ビットを L 状態に設定する。

【0105】

そして、通常時表示リード制御信号 23 が L 状態のときすなわち競合発生時表示リード制御信号 28 が L 状態のとき、つまり、メモリデータ更新期間に、デー

タラッチ回路3は、通常時データラッチ信号24及び競合発生時データラッチ信号29に示すように、GRAM2に記憶されている画素データを読み出して記憶する。

【0106】

競合発生時表示リード制御信号28がメモリデータ更新期間に、メモリクロック信号25が入力され、メモリクロック信号25のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ30は、メモリクロック信号25が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号25が入力されたタイミングで表示データ30としてL状態が書き込まれたとする。

【0107】

このような場合、ラッチ回路3はメモリクロック信号25が入力される前にメモリデータ更新期間で、すでに、表示データ30のビットを読み出して記憶している。そして、メモリクロック信号25が入力され、メモリクロック信号25のたち下がりのタイミングでGRAM2に表示データ30のビットが書き込まれる。表示データ30としてL状態が書き込まれたとする。

【0108】

ところが、従来の技術で説明したように、ラッチ回路3を構成するメモリ素子の各ビットは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。ラッチ回路3を構成するメモリ素子の各ビットは、競合発生時表示リード制御信号28がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。ラッチ回路3はこのような特性を有している。

【0109】

従って、ラッチ回路3の、表示データ30に対応するメモリ素子は一旦H状態に設定されているので、メモリデータ更新期間ではH状態のまま維持される。

【0110】

表示データ31に関しては、メモリクロック信号25が入力される以前はL状態に設定されており、メモリクロック信号25が入力され、そのたち下がりでG

RAM2に書き込まれた画素データに対応してH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、ラッチ回路3は、表示データ31に対応するメモリ素子のビットをH状態に設定する。

【0111】

次に、競合発生時データラッチ信号29がラッチ回路3に入力されると、競合発生時データラッチ信号29のたち下がり、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットを確定する。

【0112】

ラッチ回路3が競合発生時データラッチ信号29によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ30については、GRAM2の画素データの表示データ30に対応するビットがL状態になっているにもかかわらず、ラッチ回路3の表示データ30に対応するメモリ素子のビットはH状態のまま確定されている。

【0113】

従って、競合発生時表示リード制御信号28がL状態すなわちメモリデータ更新期間の間にメモリクロック信号25が入力され、しかも、このメモリクロック信号25が入力され、メモリクロック信号25のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素が、競合発生時データラッチ信号29が入力され、競合発生時データラッチ信号29のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生することになる。

【0114】

そこで、このような場合が発生した場合には、ラッチ回路制御手段4の遅延回路7は、メモリクロック信号12を入力し、メモリクロック信号12を所定の時間だけ遅延させることにより、ホストリトライ用表示リード信号26とホストリトライ用データラッチ信号27とを発生して、それぞれ、OR回路6とOR回路5とに出力する。

【0115】

OR回路5は、通常表示リード制御信号23とホストリトライ用表示リード信

号 26 との OR をとった信号を競合発生時表示リード制御信号 28 としてラッチ回路 3 に出力する。

【0116】

また、OR 回路 6 は、通常時データラッチ信号 24 とホストリトライ用データラッチ信号 27 との OR をとった信号を競合発生時データラッチ信号 29 としてラッチ回路 3 に出力する。

【0117】

その結果、競合発生時表示リード制御信号 28 は L 状態になった後、再度 H 状態に設定される。従って、競合発生時表示リード制御信号 28 に従って、ラッチ回路 3 は、再度、ラッチ回路 3 を構成するメモリ素子の各ビットを L 状態に設定する。

【0118】

その後、競合発生時表示リード制御信号 28 は L 状態に再度設定される。競合発生時表示リード制御信号 28 が再度 L 状態に設定されると、ラッチ回路 3 は GRAM2 に記憶されている画素データを 1 走査線分読み出して記憶する。

【0119】

競合発生時表示リード制御信号 28 が再度 L 状態に設定されているときに、競合発生時データラッチ信号 29 が入力される。ラッチ回路 3 は競合発生時データラッチ信号 29 のたち下がりのタイミングで、記憶している 1 走査線分の画素データを確定する。

【0120】

このように、GRAM2 への画素データの書き込みと、GRAM2 からラッチ回路 3 への 1 走査線分の画素データの読み出しとが競合した場合に、制御手段 4 は、競合発生時表示リード制御信号 28 と競合発生時データラッチ信号 29 とに示すように、ディスチャージ期間とメモリデータ更新期間、及びデータ確定のタイミングを競合が発生したメモリクロック信号 16 より所定の時間遅延させる。そして、制御手段 4 は、競合が発生した際のメモリクロック信号 25 の次のメモリクロック信号が GRAM2 に入力されるまでに、再度のディスチャージ期間とメモリデータ更新期間が開始され、再度の競合発生時データラッチ信号 29 がラ

ッチ回路 3 に入力し終わっているように制御する。

【0121】

このような制御は例えば次のようにして行うことが出来る。すなわち、遅延回路 7 でメモリクロック信号 25 を遅延させてホストリトライ用表示リード信号 26 及びホストリトライ用データラッチ信号 27 を発生させる際に、引き続いて入力される 2 つのメモリクロック信号 25 の間隔データを考慮してメモリクロック信号 25 を遅延させる。そして、競合が発生したメモリクロック信号 25 の次のメモリクロック信号が入力されるまでに、再度の競合発生時表示リード制御信号 28 がディスチャージ期間からメモリデータ更新期間に移行しており、再度の競合発生時データラッチ信号 29 が再度のメモリデータ更新期間に、競合が発生したメモリクロック信号 25 の次のメモリクロック信号が入力されるまでにたち下がっているように、ホストリトライ用表示リード信号 26 及びホストリトライ用データラッチ信号 27 を発生する。

【0122】

従って、GRAM 2 への画素データの書き込みと、GRAM 2 からラッチ回路 3 への画素データの読み出しとが競合した場合であっても、競合したメモリクロック信号 25 の次のメモリクロック信号と再度のラッチ回路 3 への 1 走査線分の画素データの読み出しが競合することがない。このように、本実施の形態によれば、GRAM 2 からラッチ回路 3 へ 1 走査線分の画素データを正常に読み出すことが出来るようになる。

【0123】

なお、ラッチ回路 3 が、メモリデータ更新期間の間、一旦 H 状態に設定されても、GRAM 2 に記憶されている画素データの値が L 状態に設定された場合には、L 状態に再設定出来るという特性を有する場合には、競合が発生するのが通常時データラッチ信号とメモリクロック信号とが同時に入力される場合である。このことを除けば、上記と同様の処理をすることによりこの場合にも表示異常が発生することがない映像処理回路を実現することが出来る。

【0124】

なお、本実施の形態では GRAM 2 が表示パネル 8 の 1 画面分の画素データを

記憶するとして説明したが、これに限らない。GRAM2が表示パネルの複数画面分の画素データを記憶していても構わない。

【0125】

さらに、本実施の形態では、ラッチ回路3が表示パネル2の1走査線分の画素データをGRAM2から読み出して記憶するとして説明したが、これに限らない。ラッチ回路3が複数走査線分の画素データをGRAM2から読み出して記憶しても構わない。

【0126】

【発明の効果】

以上説明したところから明らかなように、本発明は、GRAMへの画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出しとが競合した場合であっても表示異常が発生することがない映像処理回路、及び映像処理回路の制御方法を提供することが出来る。

【図面の簡単な説明】

【図1】

本発明の第1及び第2の実施の形態における映像処理回路の構成を示す図

【図2】

本発明の第1の実施の形態における映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図

【図3】

本発明の第2の実施の形態における映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図

【図4】

従来の映像処理回路の構成を示す図

【図5】

従来の映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図

【図6】

従来の映像処理回路で競合が発生した場合の各種駆動信号及び制御信号のタイ

ミングチャートを示す図

【図 7】

従来の映像処理回路で競合が発生した場合の各種駆動信号及び制御信号のタイミングチャートを示す図

【図 8】

競合が発生した場合のGRAM2 とラッチ回路3 とのメモリ素子の状態を示す

図

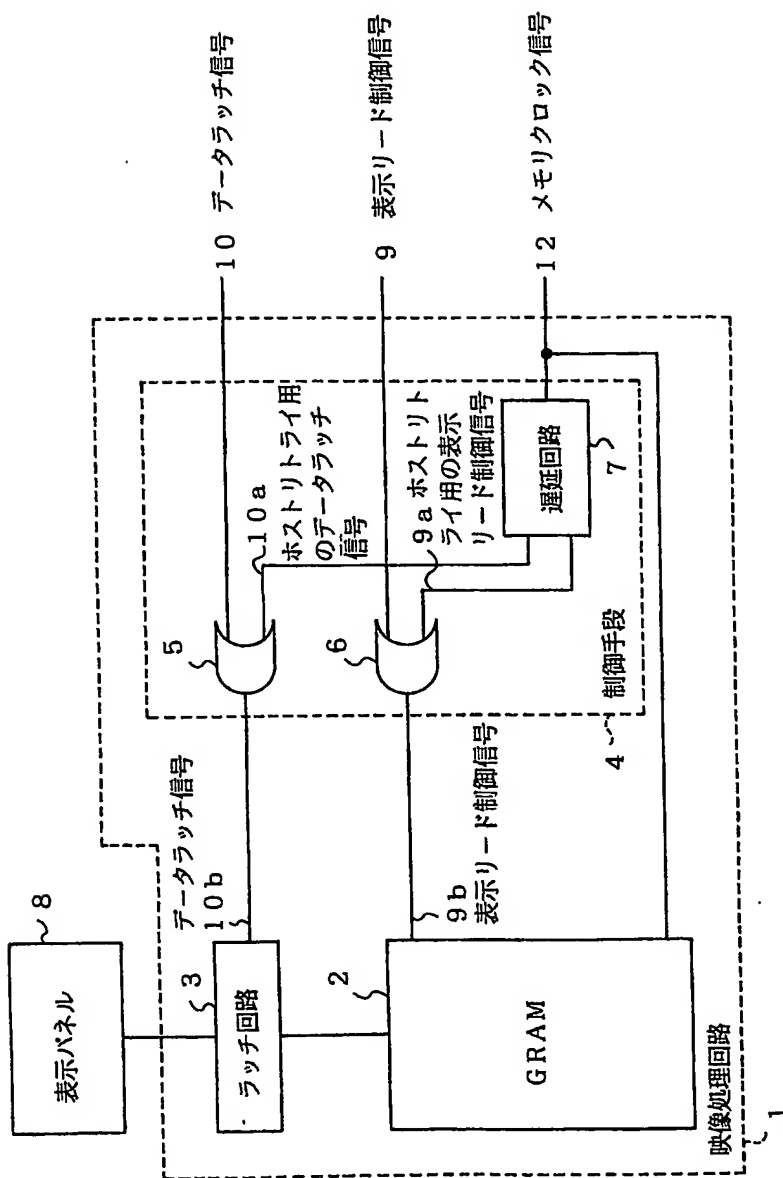
【符号の説明】

- 1 映像処理回路
- 2 GRAM
- 3 ラッチ回路
- 4 ラッチ回路制御手段
- 5 OR回路
- 6 OR回路
- 7 ホストリトライ遅延回路
- 8 表示パネル
- 9 表示リード制御信号
- 9 a ホストリトライ用の表示リード制御信号
- 9 b 表示リード制御信号
- 10 データラッチ信号
- 10 a ホストリトライ用のデータラッチ信号
- 10 b データラッチ信号

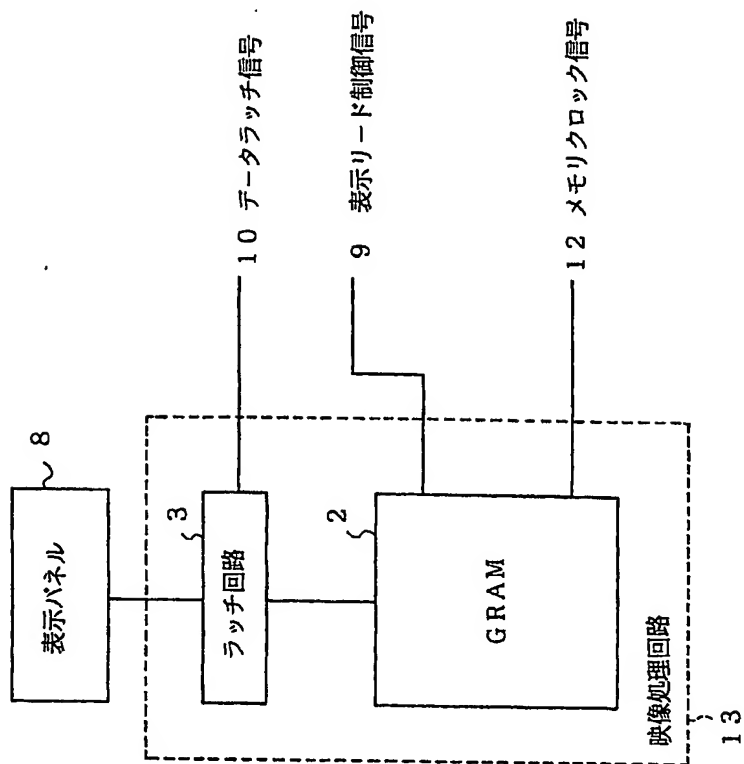
【書類名】

図面

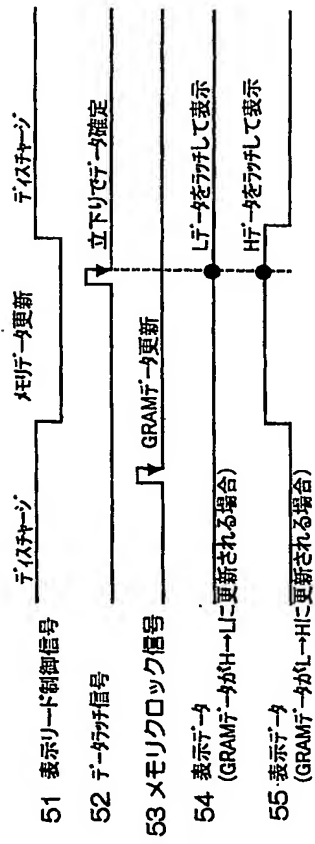
【図 1】



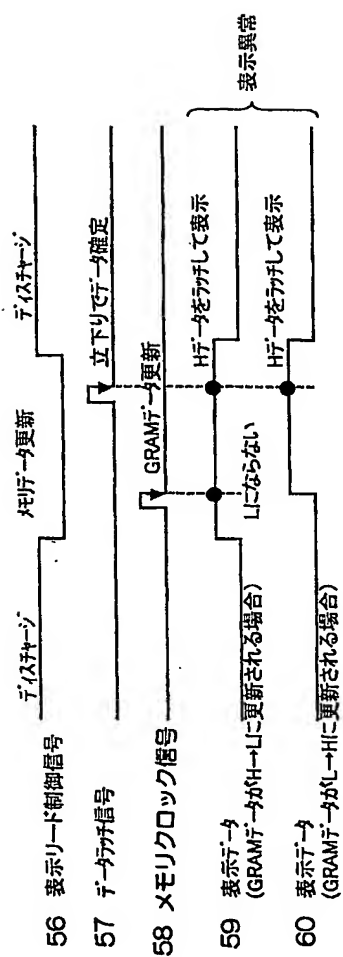
【図 4】



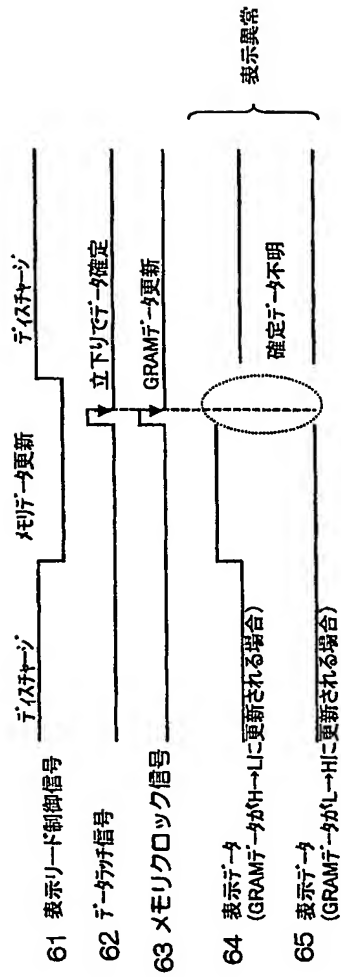
【図 5】



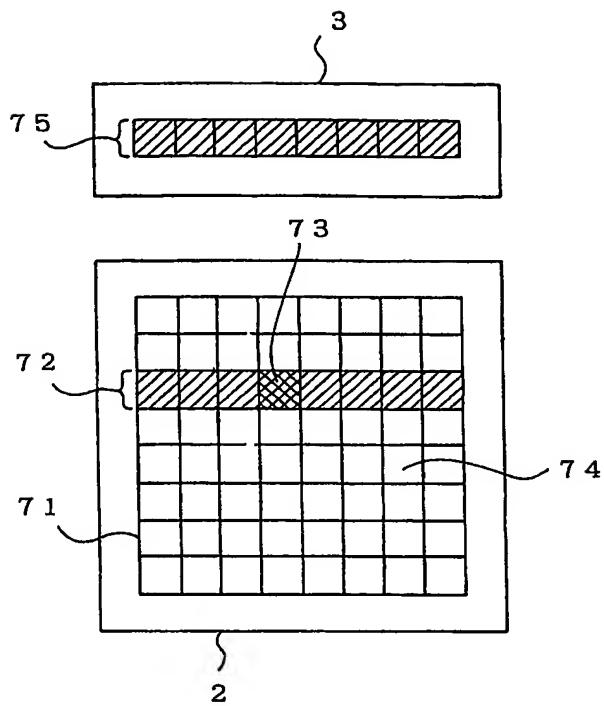
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 G R A M への画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出しとが競合した場合、表示異常が発生する。

【解決手段】 ラッチ回路 3 に記憶されている走査線分の各画素に対応する画素データは、表示画面 8 に表示され、G R A M 2 への画素データの書き込みと、G R A M 2 からラッチ回路 3 への走査線分の各画素に対応する画素データの読み出しとが競合した場合、制御手段 4 は、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度 G R A M 2 からラッチ回路 3 への走査線分の各画素に対応する画素データの読み出しを行うよう制御する。

【選択図】 図 1

特願 2 0 0 3 - 1 9 2 3 8 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社